

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-51944

(P2001-51944A)

(43) 公開日 平成13年2月23日 (2001.2.23)

(51) IntCl.⁷

G 0 6 F 13/42
1/12

識別記号

3 5 0

F I

G 0 6 F 13/42
1/04

テームト (参考)

3 5 0 B 5 B 0 7 7
3 4 0 D

審査請求 未請求 請求項の数 8 O L (全 10 頁)

(21) 出願番号 特願2000-51928(P2000-51928)

(22) 出願日 平成12年2月28日 (2000.2.28)

(31) 優先権主張番号 1 9 9 9 P-3 3 7 1 1

(32) 優先日 平成11年8月16日 (1999.8.16)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 申 榮 敏

大韓民国ソウル市馬浦区星山1洞251-23

(74) 代理人 100086368

弁理士 萩原 誠

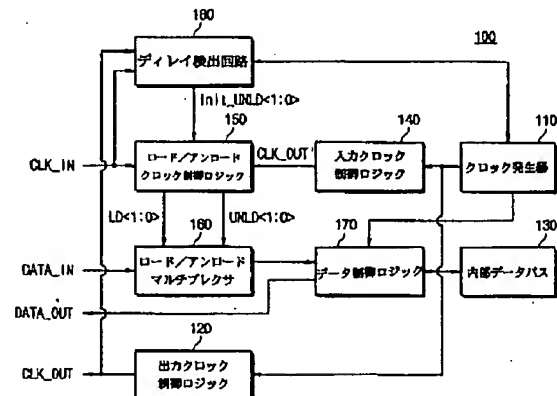
Fターム(参考) 5B077 FF11 GG07 GG15 GG16 MM01
MM02

(54) 【発明の名称】 デジタルデータ処理回路

(57) 【要約】

【課題】 インタフェースクロックのディレイに影響されず、回路間のデータ伝送を安定して実施することができ、しかも生産単価を削減できるとともに、製品偏差によるデータ伝送誤りを防止できるデジタルデータ処理回路を提供すること。

【解決手段】 マスタ回路内のクロックフォワーディング回路100は、インタフェースクロック間のディレイをディレイ検出回路180で自動的に検出し、その検出されたディレイに基づいてマスタ回路のデータローディング/アンローディング初期値を設定する。



【特許請求の範囲】

【請求項1】 クロックフォワーディング回路を含み、第1クロック信号を発生するマスタ回路と、このマスタ回路に接続されて、前記第1クロック信号に同期した第2クロック信号を発生するスレーブ回路とを含み、

前記クロックフォワーディング回路は、第2クロック信号を受け入れ、第1及び第2クロック信号間のディレイを検出し、その検出されたディレイに基づいて前記マスタ回路のデータロード／アンロード初期値をセッティングすることを特徴とするデジタルデータ処理回路。

【請求項2】 クロックフォワーディング回路は、クロック信号を発生するクロック発生器と、マスタ回路のデータインタフェースのための内部データバスと、

前記クロック発生器と前記内部データバスに接続され、前記クロック信号に応じてデータをスレーブ回路に出力するデータ制御ロジックと、

前記クロック発生器に接続され、前記クロック信号を制御して制御されたクロック信号を出力クロック信号として前記スレーブ回路に発生する出力クロック制御ロジックと、

前記出力クロック信号と前記出力クロック信号のフィードバッククロック信号である入力クロック信号の間のディレイを検出し、検出されたディレイに相応するクロックをフォワーディングするための初期パラメータを発生するディレイ検出回路と、

このディレイ検出回路と前記入力クロック制御ロジックに接続され、前記初期パラメータに応じてロード制御信号とアンロード制御信号を発生するロード／アンロードクロック制御ロジックと、

前記クロック発生器と前記ロード／アンロードクロック制御ロジックの間に接続され、前記クロック発生器からの前記クロック信号を制御して、制御されたクロック信号を前記ロード／アンロードクロック制御ロジックに供給する入力クロック制御ロジックと、

前記スレーブ回路からの入力データをローディングし、前記ロード／アンロードクロック制御ロジックからのロード及びアンロード制御信号に応じて前記ローディングされた入力データを前記データ制御ロジックを通して前記マスタ回路の前記内部データバスにアンローディングするロード／アンロードマルチプレクサとからなることを特徴とする請求項1に記載のデジタルデータ処理回路。

【請求項3】 前記ディレイ検出回路は、前記出力クロック信号と前記入力クロック信号との間のディレイを検出する検出手段と、

前記検出されたディレイを比較し、全ての検出されたディレイが一致するとき、比較された結果を前記初期パラメータとして前記ロード／アンロードクロック制御ロジック

ックに発生する比較手段と、

前記検出されたディレイが全部同一ではないと、前記クロック発生器と前記検出手段をリセットし、そして前記検出されたディレイが全部同一になるときまでNビットフリーランニングによって前記検出されたディレイを比較するように前記比較手段を制御する制御手段とを含み、

前記検出手段は、N個のディレイを検出することを特徴とする請求項2に記載のデジタルデータ処理回路。

【請求項4】 前記検出手段は、2つのD-フリップフロップからなるカウンティングユニットと、

このカウンティングユニットからカウントされた結果とスレーブ回路からの入力クロック信号に応じて前記ディレイを検出する検出ユニットとを含み、

前記カウンティングユニットの各々のフリップフロップは、前記マスタ回路からの出力クロック信号に応じてトグルリングすることを特徴とする請求項3に記載のデジタルデータ処理回路。

【請求項5】 前記比較手段は、デマルチプレクサとN個のラッチを備えて、Nビットフリーランニングによって前記検出手段から検出されたディレイのMSB及びLSB各々をラッチングするラッチングユニットと、

このラッチングユニットからのMSB及びLSBの各々を比較し、そして全てのMSBと全てのLSBが各々同一であるとき、前記MSBのうち所定の1つと、LSBのうち所定の1つを前記初期パラメータとして前記ロード／アンロード制御ロジックとして出力する比較ユニットとからなることを特徴とする請求項3に記載のデジタルデータ処理回路。

【請求項6】 前記制御手段は、Nビットフリーランニングを実施するために、前記デマルチプレクサを制御し、そして前記クロック発生器からのクロック信号を前記ラッチングユニットに供給するNビットフリーランニングカウンタ／デコーダと、前記クロック発生器と前記検出手段とをリセットし、そして検出された結果が全部同一ではないとき、前記Nビットフリーランニングカウンタ／デコーダをイネーブルさせるシステムクロック制御ロジックとを含み、

前記システムクロック制御ロジックは、前記クロック発生器が正常状態にリリースされた後、前記クロック信号を前記Nビットフリーランニングカウンタ／デコーダに供給することを特徴とする請求項3に記載のデジタルデータ処理回路。

【請求項7】 前記ロード／アンロードクロック制御ロジックは、

前記スレーブ回路からの前記入力クロック信号に応じて多数のロード制御信号を発生するロード制御信号発生手段と、

前記入力クロック制御ロジックからの制御されたクロック信号に応じて多数のアンロード制御信号を発生するアンロード制御信号発生手段とからなることを特徴とする請求項2に記載のデジタルデータ処理回路。

【請求項8】 前記ロード／アンロードマルチプレクサは、データローディングデコーダと多数のマルチプレクサとを含み、前記ロード制御信号に応じて前記スレーブ回路から伝送された前記入力データをローディングするデータローディング回路と、

データアンローディングデコーダと多数のマルチプレクサとを含み、前記アンロード制御信号に応じて前記ローディングされた入力データを前記データ制御ロジックを通して前記マスタ回路にアンローディングするデータアンローディング回路とからなることを特徴とする請求項2に記載のデジタルデータ処理回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デジタルデータ処理回路に関するものであり、より詳しくは自動クロックディレイ検出及び初期パラメータセッティング特性を有するクロックフォワーディング回路に関するものである。

【0002】

【従来の技術】図1は、マイクロプロセッサ（例えば、CPU）のようなマスタ回路（master circuit）10と、半導体メモリ装置及びシグナルバス（又はシステムバス）のようなスレーブ回路（slave circuit）20とを有するデジタルデータ処理回路を概略的に示すブロック図である。

【0003】図1を参照すると、スレーブ回路20は、クロック及びデータ経路を通してマスタ回路10と外部インタフェースを行う。マスタ回路10は、クロック信号CLK_OUTとデータDATA_OUTをスレーブ回路20に発生する。スレーブ回路20は、クロック信号CLK_OUTとデータDATA_OUTを受け入れ、クロック信号CLK_INとデータDATA_INをマスタ回路10に発生する。ここで、入力クロック信号CLK_INは、出力クロック信号CLK_OUTのフィードバッククロック信号である。マスタ回路10は、スレーブ回路20からのデータDATA_INをローディングすることにおいて入力クロック信号CLK_INを使用し、ローディングされた入力データDATA_INを内部で処理することにおいて出力クロック信号CLK_OUTを使用する。

【0004】図2ないし図4は、図1に図示されたマスタ回路10の入力及び出力信号の関係を示すタイミング図である。図面を参照すると、クロック信号CLK_IN、CLK_OUTの間にはディレイ（delay）が存在するが、これはマスタ回路10とスレーブ回路20

を含むマザーボードの構成による。このようなディレイは、回路の低いクロック速度のために過去には何の問題も発生させなかった。図2に図示されたように、低いクロック速度は、マスタ回路10のデータローディング（loading）及びアンローディング（unloading）動作のために十分な動作マージンを保障する。しかし最近マスタ回路10及びスレーブ回路20のクロック速度が高くなる傾向がある。図3に図示されたように、マスタ回路10及びスレーブ回路20のクロック速度が増加することによって動作マージンは減少する。その結果スレーブ回路20からマスタ回路10へのデータ伝送に誤りが発生することになる。図4を参照すると、もし動作マージンを保障することができないほどクロック速度が速くなると、データDATA_INをマスタ回路10に安定に伝送することは非常に難しくなる。動作マージンなしに出力クロック信号CLK_OUTが入力クロック信号CLK_INより先立つと、マスタ回路10のデータアンローディング動作は、データローディング動作以後に行うことができない。特に高性能コンピュータシステムにおいて、このようなインタフェース問題を避けることは処理速度（processing speed）が増加することによって難しくなる。このような問題を解決するための一方法はクロックフォワーディング方法（clock forwarding method）である。

【0005】図5は、図1に図示されたマスタ回路のクロックフォワーディング方法による入力及び出力クロック信号の関係を示すタイミング図である。この方法でディレイに相応する幾つのクロック周期は、図1に図示されたクロックフォワーディング回路100によって出力クロック信号CLK_OUTに先立って伝送される（即ち、フォワーディングされる）。その結果、マスタ回路10のデータアンローディング動作は、データローディング動作以後に行うことができる。それ故、スレーブ回路20から入力されたデータDATA_INは、マスタ回路10に正確に伝送されることになる。

【0006】クロックのフォワーディングのために、クロックフォワーディング回路100のデータローディング／アンローディング初期パラメータ（initial parameters）を決定する必要がある。一般にこの初期パラメータは、マザーボードデザイナーによって予め決定され、固定された値としてクロックフォワーディング回路100に接続された外部ROM（read only memory）（図示せず）に貯蔵される。電源が印加された後、マスタ回路10が初期化されるとき、初期パラメータは、クロックのフォワーディングのためにクロックフォワーディング回路100にローディングされる。この初期パラメータに基づいたクロックフォワーディングによってスレーブ回路20からローディングされた入力データは、何の誤りも発生せず、マ

スタ回路10に安定にアンローディングされることになる。

【0007】クロックフォワーディング方法に対する開示例は、1989年3月7日Sager et al. によって登録されたU. S. Pat. No. 4811364 "METHOD AND APPARATUS FOR STABILIZED DATA TRANSMISSION"、1990年12月18日Sager et al. によって登録されたU. S. Pat. No. 4979190 "METHOD AND APPARATUS FOR STABILIZED DATA TRANSMISSION"、そして1985年6月25日Wolfによって登録されたU. S. Pat. No. 4525849 "DATA TRANSMISSION FACILITY BETWEEN TWO ASYNCHRONOUSLY CONTROLLED DATA PROCESSING SYSTEMS WITH A BUFFER MEMORY" がある。

【0008】

【発明が解決しようとする課題】しかし、前述のようにクロックをフォワーディングするための初期パラメータをマザーボードデザイナーによって設定する方法は、人件費の増加に比例して生産単価が増加する。それだけではなく、初期パラメータが外部ROMに固定された値として貯蔵されるために、製品偏差によるデータ伝送誤りが発生することがあり、回路の間のデータ伝送を安定化しがたい問題がある。

【0009】従って、本発明は上述の問題点を解決するために提案されたもので、回路の間のデータ伝送を安定化するために、インタフェースクロックの間のディレイを自動的に検出して、データローディング/アンローディング初期パラメータをセッティングすることができるデジタルデータ処理回路を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明のデジタルデータ処理回路は、クロックフォワーディング回路を含み、第1クロック信号を発生するマスタ回路と、このマスタ回路に接続されて、前記第1クロック信号に同期した第2クロック信号を発生するスレーブ回路とを含み、前記クロックフォワーディング回路は、第2クロック信号を受け入れ、第1及び第2クロック信号のディレイを検出し、その検出されたディレイに基づいて前記マスタ回路のデータロード/アンロード初期値をセッティングすることを特徴とする。

【0011】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。本発明のデジタルデータ処理回路のマスタ回路に設けられる新たなクロックフォワーディング回路は、データ伝送を安定化するために、インタフェースクロックが有しているディレイを自動的に

検出し、検出されたディレイに相応するクロックをフォワーディングする（即ち、先立って伝送する）。その結果、回路の間のデータ伝送は、クロックのフォワーディングによってディレイに影響されず、欠陥なしに実施される。また、新たなクロックフォワーディング回路によれば、ディレイを自動的に検出し、その検出に応じて自動的に、クロックをフォワーディングするための初期パラメータを設定するので、マザーボードデザイナーによる初期パラメータの設定法に比較して生産単価を削減できるとともに、製品偏差によるデータ伝送誤りの発生を防止できる。

【0012】図6は、本発明によるデジタルデータ処理回路のマスタ回路に設けられるクロックフォワーディング回路を概略的に示すブロック図である。図6を参照すると、クロックフォワーディング回路100は、クロック発生器110、出力クロック制御ロジック120、内部データバス130、入力クロック制御ロジック140、ロード/アンロードクロック制御ロジック150、ロード/アンロードマルチプレクサ160、データ制御ロジック170、およびディレイ検出回路180を含む。

【0013】クロック発生器110は、データ入力及び出力のためのビットクロックを発生する。出力クロック制御ロジック120は、クロック発生器110からのクロック信号を制御して出力クロック信号CLK_OUTをスレーブ回路に発生する。このとき、マスタ回路の内部データバス130から伝送された出力データDATA_OUTは、データ制御ロジック170を通してスレーブ回路に出力される。

【0014】マスタ回路と外部インタフェースを実施するスレーブ回路は、マスタ回路からのクロック信号CLK_OUTとデータDATA_OUTを受け入れ、入力クロック信号CLK_INと入力データDATA_INをマスタ回路のクロックフォワーディング回路100に出力する。この入力クロック信号CLK_INは、出力クロック信号CLK_OUTのフィードバッククロック信号で、この2つのクロック信号CLK_IN、CLK_OUTの間にはディレイが存在する。このディレイは、マスタ回路とスレーブ回路を含むマザーボードの構造によって発生される。

【0015】回路の間のデータ伝送を安定化するために、ディレイ検出回路180は、自動的にディレイを検出し、ディレイに対応する初期パラメータInit_UNLDをロード/アンロードクロック制御ロジック150に発生する。ロード/アンロードクロック制御ロジック150は、入力クロック信号CLK_IN及び入力クロック制御ロジック140からの制御されたクロック信号CLK_OUT' に応じて、多数のロード制御信号LDs及び多数のアンロード制御信号UNLDsをロード/アンロードマルチプレクサ160に発生する。ロード

／アンロードクロック制御ロジック150でロード及びアンロード制御信号LD、UNLDは、ロード／アンロード制御信号の初期値から発生される。アンロード制御信号の初期値は、初期パラメータInit_UNLDによってセッティングされ、ロード制御信号の初期値は、“00”にセッティングされる。このように発生されたロード／アンロード制御信号LDs、UNLDsによってロード／アンロードマルチプレクサ160は、入力データDATA_INをローディングすることができ、そしてローディングされた入力データDATA_INをデ

【0016】図7は、図6に図示されたディレイ検出回路180を具体的に示す回路図である。図7を参照すると、ディレイ検出回路180は、検出ユニット188、比較ユニット195及び制御ユニット198を含む。検出ユニット188は、入力クロック信号CLK_INと出力クロック信号CLK_OUTの間のディレイを検出する。比較ユニット195は、N個の検出されたディレイを比較し、全ての検出されたディレイが一致すると、比較された結果を初期パラメータInit_UNLDとしてロード／アンロードクロック制御ロジック150に出力する。一方、もし全ての検出されたディレイが一致しないと、制御ユニット198は、クロック発生器110及び検出ユニット188をリセットする。それから、制御ユニット198は、クロック発生器110の状態が復元された後（即ちリリース（release）された後）、全ての検出されたディレイが一致するときまでNビットフリーランニング（Nbit freerunning）によって検出されたディレイを比較する。

【0017】検出ユニット188は、カウンティング回路181とディレイ検出回路184を含む。カウンティング回路181は、第1D-フリップフロップ182と第2D-フリップフロップ183を含む。各々のフリップフロップは、マスタ回路からの出力クロック信号CLK_OUTに応じてトグル動作を実施する。一方、ディレイ検出回路184は、第3D-フリップフロップ185、第4D-フリップフロップ186及びR-Sフリップフロップ187を含む。第1D-フリップフロップ182の出力は、第3D-フリップフロップ185の入力と接続され、第2D-フリップフロップ183の出力は、第4D-フリップフロップ186の入力と接続される。第3D-フリップフロップ185及び第4D-フリップフロップ186は、カウンティング回路181でカウンティングされた結果とスレーブ回路から入力された入力クロック信号CLK_INに応じてディレイを検出する。入力クロック信号CLK_INは、R-Sフリップフロップ187を通して第3D-フリップフロップ185及び第4D-フリップフロップ186にクロック

信号として入力される。

【0018】比較ユニット195は、ラッチング回路192と比較器193を含む。ラッチング回路192は、Nビットフリーランニングによって検出ユニット188から検出されたディレイ各々のMSB（most significant bit）とLSB（least significant bit）をラッチングするためのデマルチプレクサ（de-multiplexer）191とN個のラッチを含む。比較器193は、2つのXOR（exclusive-OR）ゲートと1つのNORゲートを有するが、各々のXORゲートは、検出されたディレイのMSB N個とLSB N個をデマルチプレクサ191を通して各々受け入れるようにする。XORゲートは、検出された結果が全部同一であるか、検出された結果のMSBとLSBを比較し、比較された結果をNORゲートに出力する。もし検出された結果が全部同一であると、NORゲートは、論理高レベル“1”を出力する。この場合、MSB及びLSBは、ロード／アンロードクロック制御ロジック150に初期パラメータInit_UNLDとして出力される。一方、もし検出された結果が全部同一でないと、NORゲートは、論理低レベル“0”を出力する。この場合、制御ユニット198は、正しいディレイが検出されなかったと判別し、クロック発生器110及び検出ユニット188をリセットする。

【0019】制御ユニット198は、システムクロック制御ロジック196とNビットフリーランニングカウンタ／デコーダ197を含む。Nビットフリーランニングカウンタ／デコーダ197は、システムクロック制御ロジック196とラッチング回路192との間に接続される。Nビットフリーランニングカウンタ／デコーダ197は、比較器193の出力が“0”であるとき、イネーブルされてNビットフリーランニングを実施し、クロック発生器110からのクロック信号をラッチング回路192のラッチに供給するためにデマルチプレクサ191を制御する。システムクロック制御ロジック196は、比較器193、検出ユニット188、Nビットフリーランニングカウンタ／デコーダ197、クロック発生器110に接続される。もし比較器193がシステムクロック制御ロジック196に“0”を出力すると、システムクロック制御ロジック196は、クロック発生器110と検出ユニット188をリセットする。リセットされたクロック発生器110が正常状態に戻ると、システムクロック制御ロジック196は、クロック発生器110からのクロック信号をNビットフリーランニングカウンタ／デコーダ197に伝送する。

【0020】図8は、図7に図示されたディレイ検出回路180の動作を示すタイミング図である。図7及び図8を参照すると、第1及び第2D-フリップフロップ182、183は、出力クロック信号CLK_OUTに依

じてトグル動作を実施する。波形 $F/F<1>$ は、第1D-フリップフロップ182のトグル結果であり、波形 $F/F<0>$ は、第2D-フリップフロップ183のトグル結果である。ディレイ検出回路184は、トグル結果 $F/F<1>$ 及び $F/F<0>$ 、そして入力クロック信号 CLK_IN に応じて出力クロック信号 CLK_OUT と入力クロック信号 CLK_IN との間のディレイを検出する。図8に図示されたように、もし最大ディレイが1ビットタイムより大きく、2ビットタイムより小さいと、検出されたディレイは、“11”になる。これは入力クロック信号 CLK_IN の上昇エッジでのトグルされた結果 $F/F<0>$ 及び $F/F<1>$ によって決定される。そして前述されたように、N個の検出されたディレイが全部同一ではないと、システムクロック制御ロジック196は、リセット信号を用いてクロック発生器110と検出ユニット188をリセットする。リセットされたクロック発生器110が正常状態にリリースされると、クロックフォワードリング方法は、検出されたディレイが全部同一になるときまで反復される。

【0021】図9は、図7に図示されたディレイ検出回路180によって検出された最大ディレイに対応する初期パラメータを示す図面である。図9を参照すると、初期パラメータ $Init_UNLD$ は、検出された最大ディレイによって決定される。図8及び図9に図示されたように、もし最大ディレイが1ビットタイムより大きく、2ビットタイムより小さいと、初期パラメータ $Init_UNLD$ は、“11”に決定される。なぜならば、このとき、ラッチされた結果 $F<1:0>$ が“11”のためである。そして例えば、もし最大ディレイが1より小さいと初期パラメータ $Init_UNLD$ は、“01”に決定される。

【0022】図10は、図6に図示されたロード/アンロードクロック制御ロジック150の具体例を示す回路図である。また図11は、図10に図示されたロード/アンロードクロック制御ロジック150の動作を示すタイミング図である。図10を参照すると、ロード/アンロードクロック制御ロジック150は、アンロード制御信号発生回路152及びロード制御信号発生回路154を含む。アンロード制御信号発生回路152は、入力クロック制御ロジック140からの制御されたクロック信号 CLK_OUT とディレイ検出回路180からの検出された初期パラメータ $Init_UNLD$ を受け入れて多数のアンロード制御信号 $UNLD$ を発生させる。その多数のアンロード制御信号 $UNLD$ の初期値は初期パラメータ $Init_UNLD$ によってセッティングされる。これと類似してロード制御信号発生回路154は、スレーブ回路からの入力クロック信号 CLK_IN に応じて多数のロード制御信号 LD を発生するための2つのD-フリップフロップを含み、ロード制御信号 LD の初期値は“00”にセッティングされる。

【0023】図11を参照すると、もしアンロード制御信号 $UNLD$ の初期値が“11”にセッティングされると、アンロード制御信号 $UNLD$ は、クロック信号 CLK_OUT に応じて“10”、“00”、“01”、そして“11”の順序に反復して発生される。しかしロード制御信号 LD は、いつも入力クロック信号 CLK_IN に応じて“01”、“11”、“10”、そして“00”の順序に反復して発生される。

【0024】図12は、図6に図示されたロード/アンロードマルチプレクサ160の具体例を示す回路図である。図12を参照すると、ロード/アンロードマルチプレクサ160は、データローディング回路161とデータアンローディング回路166を含む。データローディング回路161は、データローディングデコーダ162と多数のデータローディングマルチプレクサ163を含む。データアンローディング回路166は、データアンローディングデコーダ167と多数のデータアンローディングマルチプレクサ168を含む。この場合において、入力されるロード制御信号 LD 及びアンロード制御信号 $UNLD$ は、各々4つずつであるから、データローディングマルチプレクサ163及びデータアンローディングマルチプレクサ168は、各々4つのマルチプレクサで構成される。

【0025】各々のデータローディングマルチプレクサ163は、デコーディングされたロード制御信号 LD に応じてスレーブ回路からの入力データ $DATA_IN$ をローディングする。同様に、各々のデータアンローディングマルチプレクサ168は、デコーディングされたアンロード制御信号 $UNLD$ に応じてローディングされた入力データ $DATA_IN$ をマスタ回路の内部データバスにアンローディングする。

【0026】図13は、図6に図示されたクロックフォワードリング回路100の動作を示すタイミング図である。図12及び図13を参照すると、もしアンロードコントロール信号 $UNLD$ の初期値が“11”にセッティングされたら、アンロードコントロール信号 $UNLD$ は、出力クロック信号 CLK_OUT に応じて“10”、“00”、“01”、そして“11”順序に反復的に発生される。一方、ロードコントロール信号 LD は、入力クロック信号 CLK_IN に応じて“01”、“11”、“10”、そして“00”順序に反復的に発生される。このとき、マルチプレクサ163、168に属する各々のマルチプレクサは、入力データ $DATA_IN$ をロード/アンロードするためにロードコントロール信号 LD 及びアンロードコントロール信号 $UNLD$ に応じてターンオンされる。

【0027】もしアンロードコントロール信号 $UNLD$ の初期値が“11”にセッティングされたら、これは最大ディレイが1ビットタイムより大きく、2ビットタイムより小さいことを意味する。従って、本発明によるク

11

ロックフォワーディング回路は、2回路の間のデータ伝送をディレイに影響されなく、安定化させるためにアンロード制御信号UNLDs“10”及び“00”に対応される2クロックをフォワーディングする（即ち、予め伝送する）。

【0028】それ故、クロックのフォワーディング後、各々のデータローディングマルチプレクサ163が、“01”、“11”、“10”、そして“00”順序のロード制御信号LDに応じて入力データDATA_INをローディングすると、データアンローディングマルチプレクサ168は、“01”、“11”、“10”、“00”順序のアンロード制御信号UNLDに応じてローディングされた入力データDATA_INをアンローディングする。したがって、例えば、ロード制御信号LD“01”によってローディングされた入力データDATA_INは、アンローディング制御信号UNLD“01”によってマスタ回路にアンローディングされてディレイに影響されなく、データをローディング／アンローディングするようになる。

【0029】その結果、本発明によるクロックフォワーディング回路は、インタフェースクロックのディレイに影響されず、回路間のデータ伝送を誤りなしに実施することができる。

【0030】

【発明の効果】以上のように本発明によると、インタフェースクロックの間のディレイを自動的に検出し、その検出されたディレイに相応するクロックをフォワーディングすることによってインタフェースクロックのディレイに影響されず、回路間のデータ伝送を誤りなしに実施することができる。さらに、本発明の方法によれば、ディレイを自動的に検出し、その検出に応じて自動的に、クロックをフォワーディングするための初期パラメータを設定したので、マザーボードデザイナーによる初期パラメータの設定法に比較して生産単価を削減できるとともに、製品偏差によるデータ伝送誤りの発生を防止できる。

【図面の簡単な説明】

【図1】マスタ回路とスレーブ回路とを備えたデジタル

12

データ処理回路の構成を概略的に示すブロック図。

【図2】図1に図示されたマスタ回路の入力及び出力クロック信号の関係を示すタイミング図。

【図3】図1に図示されたマスタ回路の入力及び出力クロック信号の関係を示すタイミング図。

【図4】図1に図示されたマスタ回路の入力及び出力クロック信号の関係を示すタイミング図。

【図5】図1に図示されたマスタ回路のクロックフォワーディング方法による入力及び出力クロック信号の関係を示すタイミング図。

【図6】本発明によるデジタルデータ処理回路の実施の形態のマスタ回路に用いられるクロックフォワーディング回路を概略的に示すブロック図。

【図7】図6に図示されたディレイ検出回路の具体例を示す回路図。

【図8】図7に図示されたディレイ検出回路の動作を示すタイミング図。

【図9】図7に図示されたディレイ検出回路によって検出された最大ディレイに対応する初期パラメータを示す図。

【図10】図6に図示されたロード／アンロードクロック制御ロジックを具体的に示す回路図。

【図11】図10に図示されたロード／アンロードクロック制御ロジックの動作を示すタイミング図。

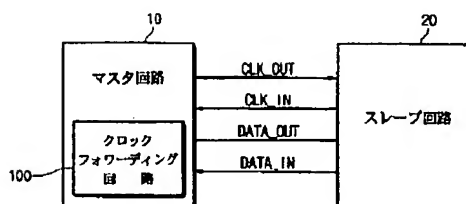
【図12】図6に図示されたロード／アンロードマルチプレクサの具体例を示す回路図。

【図13】図6に図示されたクロックフォワーディング回路の動作を示すタイミング図。

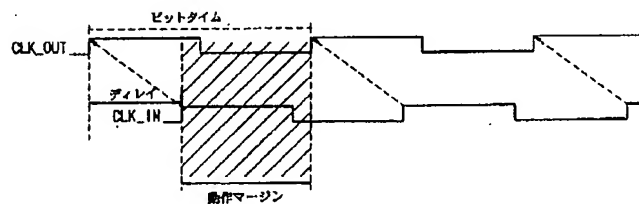
【符号の説明】

- 100 クロックフォワーディング回路
- 110 クロック発生器
- 120 出力クロック制御ロジック
- 130 内部データバス
- 140 入力クロック制御ロジック
- 150 ロード／アンロードクロック制御ロジック
- 160 ロード／アンロードマルチプレクサ
- 170 データ制御ロジック
- 180 ディレイ検出回路

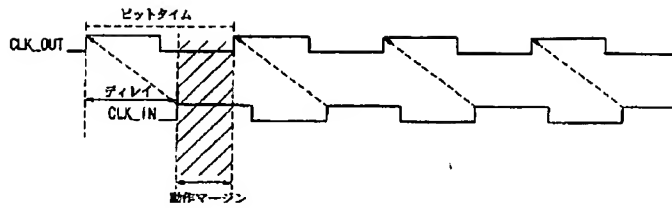
【図1】



【図2】



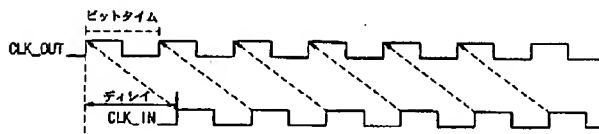
【図3】



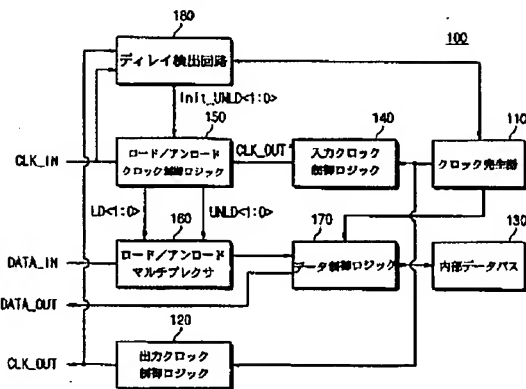
【図9】

最大ディレイ	Init_UNLD<1:0>
MD < 1 ビットタイム	01
1 < MD ≤ 2 ビットタイム	11
2 < MD ≤ 3 ビットタイム	10
3 < MD ≤ 4 ビットタイム	00

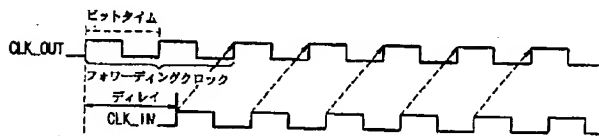
【図4】



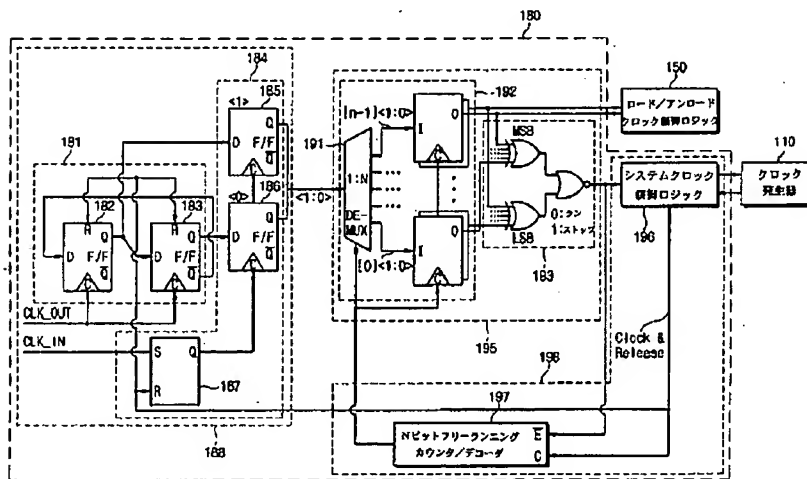
【図6】



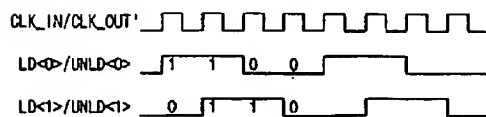
【図5】



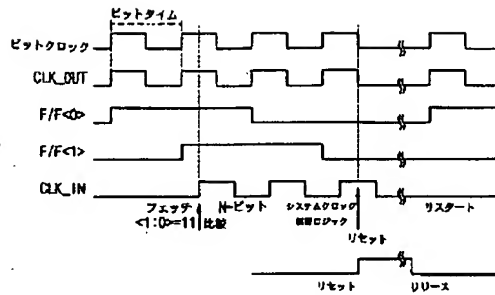
【図7】



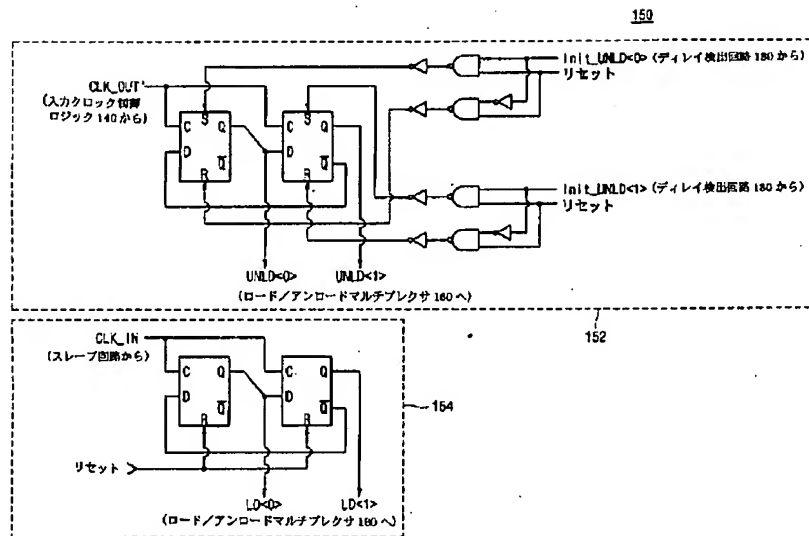
【図11】



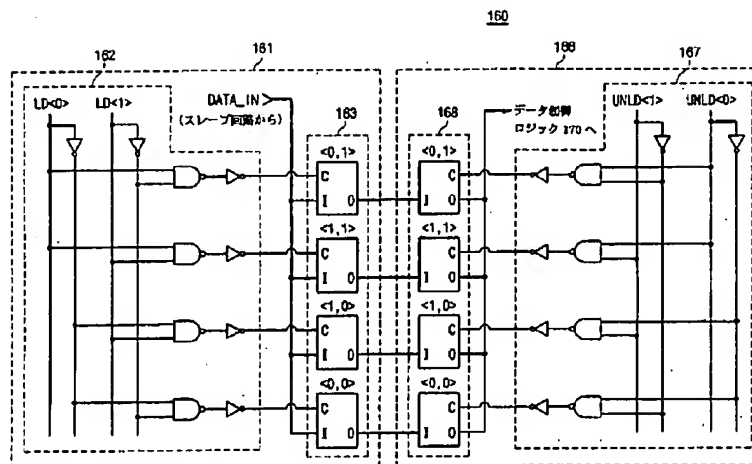
【図8】



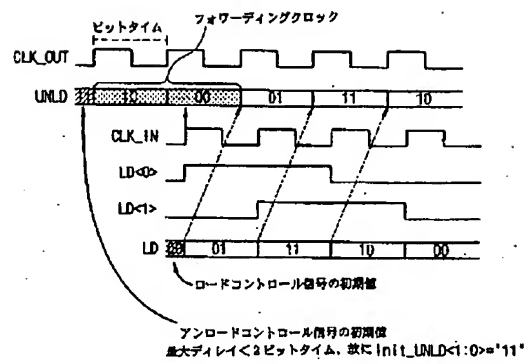
【図10】



【図12】



【図13】



Disclaimer:

This English translation is produced by machine translation and may contain errors. The JPO, the INPIT, and those who drafted this document in the original language are not responsible for the result of the translation.

Notes:

1. Untranslatable words are replaced with asterisks (****).
2. Texts in the figures are not translated and shown as it is.

Translated: 04:54:15 JST 02/08/2008

Dictionary: Last updated 01/18/2008 / Priority: 1. Information communication technology (ICT) / 2. Electronic engineering / 3. JIS (Japan Industrial Standards) term

FULL CONTENTS

[Claim(s)]

[Claim 1] The master circuit which generates the 1st clock signal including a clock forwarding circuit, The 2nd clock signal which was connected to this master circuit and synchronized with said 1st clock signal including the slave circuit to generate [said clock forwarding circuit] The digital-data-processing circuit characterized by accepting the 2nd clock signal, detecting the delay between the 1st and 2nd clock signals, and setting data load / unload initial value of said master circuit based on the detected delay.

[Claim 2] The clock generation machine with which a clock forwarding circuit generates a clock signal, The data control logic which is connected to an internal data bus, and said clock generation machine and said internal data bus for the data interface of a master circuit, and outputs data to a slave circuit according to said clock signal, The output clock control logic which connects with said clock generation machine and is generated in said slave circuit by making into an output clock signal the clock signal controlled by controlling said clock signal, The delay between said output clock signal and the input clock signal which is a feedback clock signal of said output clock signal is detected. The delay detector which generates the initial parameter for carrying out forwarding of the clock which ****s in the detected delay, Loading/unload clock control logic which is connected to this delay detector and said input-clock control logic, and generates a load control signal and an unloading control signal according to said initial parameter, Connect with said clock generation machine between said loading/unload clock control logic, and said clock signal from said clock generation machine is controlled. The input-clock control logic which supplies the controlled clock signal to said loading/unload clock control logic, Loading of the input data from said slave circuit is carried out. According to loading and the unloading control signal from said loading/unload clock control logic, it lets said data control logic pass for said input data by which loading was carried out. The digital-data-processing circuit according to claim 1 characterized by consisting of a

loading/unload multiplexer which carries out unloading to said internal data bus of said master circuit.

[Claim 3] When said delay detector compares said detected delay with a detection means to detect the delay between said output clock signal and said input clock signal and all the detected delay is in agreement, A comparison means to generate in said loading/unload clock control logic by making the compared result into said initial parameter, If said detected delay all is not the same, said clock generation machine and said detection means will be reset. And the control means which controls said comparison means so that N bit free running compares said detected delay until said detected delay all becomes the same is included. Said detection means is a digital-data-processing circuit according to claim 2 characterized by detecting N delay.

[Claim 4] The counting unit which said detection means becomes from two D-flip-flops, The result counted from this counting unit and the detecting unit which detects said delay according to the input clock signal from a slave circuit are included. Each flip-flop of said counting unit is a digital-data-processing circuit according to claim 3 characterized by carrying out toggling according to the output clock signal from said master circuit.

[Claim 5] The latching unit which carries out latching of MSB of the delay which said comparison means was equipped with a demultiplexer and N latches, and was detected from said detection means by N bit free running, and LSB of each, Compare each of MSB and LSB from this latching unit, and all the MSB and all the LSB respectively When the same, The digital-data-processing circuit according to claim 3 characterized by consisting of a comparing unit which carries out one predetermined with said initial parameter, and is outputted as said loading / unloading control logic among one predetermined and LSB among said MSBs.

[Claim 6] Said control means controls said demultiplexer, in order to carry out N bit free running. And N bit free running counter / decoder which supplies the clock signal from said clock generation machine to said latching unit, Reset said clock generation machine and said detection means, and the detected result all When not the same, Said N bit free running counter / decoder including the system clock control logic made to enable [said system clock control logic] The digital-data-processing circuit according to claim 3 characterized by supplying said clock signal to said N bit free running counter / decoder after said clock generation machine is released by the all seems well.

[Claim 7] [said loading/unload clock control logic] A load control signal generation means to generate many load control signals according to said input clock signal from said slave circuit, The digital-data-processing circuit according to claim 2 characterized by consisting of an unloading control signal generation means to generate many unloading control signals according to the clock signal controlled from said input-clock control logic.

[Claim 8] Said loading/unload multiplexer contains a data loading decoder and many

multiplexers. The data loading circuit which carries out loading of said input data transmitted from said slave circuit according to said load control signal, A data unloading decoder and many multiplexers are included. The digital-data-processing circuit according to claim 2 characterized by consisting of a data unloading circuit which carries out unloading of said input data by which loading was carried out to said master circuit through said data control logic according to said unloading control signal.

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to a digital-data-processing circuit, and relates to the clock forwarding circuit which has automatic clock delay detection and an initial parameter setting property in more detail.

[0002]

[Description of the Prior Art] The master circuit [like a microprocessor (for example, CPU)] (master circuit) 10 whose drawing 1 is, It is the block diagram showing roughly the digital-data-processing circuit which has a slave circuit (slave circuit) 20 like semiconductor memory equipment and a signal bus (or system bus).

[0003] If drawing 1 is referred to, the slave circuit 20 will perform the master circuit 10 and an external interface through a clock and a data path. The master circuit 10 generates clock signal CLK_OUT and data DATA_OUT in the slave circuit 20. The slave circuit 20 accepts clock signal CLK_OUT and data DATA_OUT, and generates clock signal CLK_IN and data DATA_IN in the master circuit 10. Here, input clock signal CLK_IN is the feedback clock signal of output clock signal CLK_OUT. Output clock signal CLK_OUT is used for the master circuit 10 in using input clock signal CLK_IN in carrying out loading of data DATA_IN from the slave circuit 20, and processing input data DATA_IN by which loading was carried out inside.

[0004] Drawing 2 or drawing 4 is the timing chart showing the input of the master circuit 10 and the relation of an output signal which were illustrated by drawing 1 . If Drawings are referred to, delay (delay) exists between clock signal CLK_IN and CLK_OUT, but this is based on the composition of the mother board including the master circuit 10 and the slave circuit 20. What problem did not generate such delay in in the past for the low clock rate of a circuit, either. As illustrated by drawing 2 , a low clock rate secures operation margin sufficient for data loading (loading) of the master circuit 10, and unloading (unloading) operation. However, there is a tendency for the clock rate of the master circuit 10 and the slave circuit 20 to become high these days. As illustrated by drawing 3 , when the clock rate of the master circuit 10 and the slave circuit 20 increases, an operation margin decreases. As a result, an error will occur in the

data transmission from the slave circuit 20 to the master circuit 10. If a clock rate becomes quick so that an operation margin cannot be secured, if drawing 4 is referred to, it will become very difficult to transmit data DATA_IN to the master circuit 10 stably. If output clock signal CLK_OUT precedes without an operation margin from input clock signal CLK_IN, data unloading operation of the master circuit 10 cannot be performed after data loading operation. Especially in high performance computer systems, it becomes difficult to avoid such an interface problem, when processing speed (processing speed) increases. In order to solve such a problem, on the other hand, law is the clock forwarding method (clock forwarding method).

[0005] Drawing 5 is the timing chart showing the input by the clock forwarding method of the master circuit illustrated by drawing 1, and the relation of an output clock signal. How many clock periods which **** in delay by this method are transmitted in advance of output clock signal CLK_OUT by the clock forwarding circuit 100 illustrated by drawing 1 (that is, forwarding is carried out). As a result, data unloading operation of the master circuit 10 can be performed after data loading operation. So, data DATA_IN inputted from the slave circuit 20 will be correctly transmitted to the master circuit 10.

[0006] It is necessary to determine data loading / unloading initial parameter of the clock forwarding circuit 100 (initial parameters) for forwarding of a clock. Generally this initial parameter is stored in the exterior ROM (read only memory) (not shown) which was beforehand determined by the mother board designer and was connected to the clock forwarding circuit 100 as a fixed value. When the master circuit 10 is initialized after a power supply is impressed, loading of the initial parameter is carried out to the clock forwarding circuit 100 for forwarding of a clock. From the slave circuit 20, the input data by which loading was carried out will generate no error, but unloading will be stably carried out to the master circuit 10 by clock forwarding based on this initial parameter.

[0007] [the example of an indication over the clock forwarding method] March 7, 1989 Sager et U.S.Pat.No.4811364 "METHOD AND APPARATUS FOR STABILIZED DATA TRANSMISSION" registered by al., December 18, 1990 Sager et U.S.Pat.No.4979190 "METHOD AND APPARATUS FOR STABILIZED DATA TRANSMISSION" registered by al., [with and June 25, 1985 wolf] Registered U.S.Pat.No.4525849 "DATA TRANSMISSION FACILITY BETWEEN TWO ASYNCHRONOUSLY CONTROLLED DATA PROCESSING SYSTEMS WITH A BUFFER There is MEMORY."

[0008]

[Problem to be solved by the invention] However, as for the method of setting up the initial parameter for carrying out forwarding of the clock as mentioned above by a mother board designer, a production unit price increases in proportion to the increase in personnel expenses. Since not only it but an initial parameter is stored as a value fixed to Exterior ROM,

there is a problem which the data transmission error by product deflection may occur, and cannot stabilize data transmission between circuits easily.

[0009] Therefore, it is what was proposed in order that this invention might solve an above-mentioned problem. In order to stabilize the data transmission between circuits, the delay between interface clocks is detected automatically and it aims at offering the digital-data-processing circuit which can set data loading / unloading initial parameter.

[0010]

[Means for solving problem] The digital-data-processing circuit of this invention is an implication including a clock forwarding circuit about the master circuit which generates the 1st clock signal, and the slave circuit which generates the 2nd clock signal which was connected to this master circuit and synchronized with said 1st clock signal. Said clock forwarding circuit accepts the 2nd clock signal, detects the delay of the 1st and 2nd clock signals, and is characterized by setting data load / unload initial value of said master circuit based on the detected delay.

[0011]

[Mode for carrying out the invention] With reference to Drawings, the form of operation of this invention is explained in detail hereafter. [the new clock forwarding circuit established in the master circuit of the digital-data-processing circuit of this invention] In order to stabilize data transmission, forwarding of the clock which detects automatically the delay which the interface clock has and ****s in the detected delay is carried out (that is, it precedes and transmits). As a result, by forwarding of a clock, the data transmission between circuits is not influenced by delay, but is carried out without a defect. Moreover, since according to the new clock forwarding circuit delay is detected automatically and the initial parameter for carrying out forwarding of the clock is automatically set up according to the detection While production unit prices are reducible as compared with the method of setting up the initial parameter by a mother board designer, generating of the data transmission error by product deflection can be prevented.

[0012] Drawing 6 is the block diagram showing roughly the clock forwarding circuit established in the master circuit of the digital-data-processing circuit by this invention. When drawing 6 is referred to, [the clock forwarding circuit 100] The clock generation machine 110, the output clock control logic 120, the internal data bus 130, the input-clock control logic 140, loading/unload clock control logic 150, loading/unload multiplexer 160, the data control logic 170, And the delay detector 180 is included.

[0013] The clock generation machine 110 generates the bit clock for a data input and an output. The output clock control logic 120 controls the clock signal from the clock generation machine 110, and generates output clock signal CLK_OUT in a slave circuit. At this time, transmitted output-data DATA_OUT is outputted to a slave circuit through the data control logic

170 from the internal data bus 130 of a master circuit.

[0014] A master circuit and the slave circuit which carries out an external interface accept clock signal CLK_OUT and data DATA_OUT from a master circuit, and outputs input clock signal CLK_IN and input data DATA_IN to the clock forwarding circuit 100 of a master circuit. This input clock signal CLK_IN is the feedback clock signal of output clock signal CLK_OUT, and delay exists between these two clock signal CLK_IN and CLK_OUT. This delay is generated by the structure of the mother board including a master circuit and a slave circuit.

[0015] In order to stabilize the data transmission between circuits, the delay detector 180 detects delay automatically and generates initial parameter Init_UNLD corresponding to delay in loading/unload clock control logic 150. [loading/unload clock control logic 150] According to clock signal CLK_OUT' controlled from input clock signal CLK_IN and the input-clock control logic 140, many load control signals LDs and many unloading control signals UNLDs are generated in loading/unload multiplexer 160. Loading and the unloading control signal LD, and UNLD are generated from the initial value of loading / unloading control signal by loading/unload clock control logic 150. The initial value of an unloading control signal is set by initial parameter Init_UNLD, and the initial value of a load control signal is set by "00." Thus, by loading / unloading control signal LDs, and UNLDs which were generated [loading/unload multiplexer 160] Loading of input data DATA_IN can be carried out, it is not influenced by delay and unloading of input data DATA_IN by which loading was carried out can be carried out without an error to a master circuit through the data control logic 170.

[0016] Drawing 7 is the circuit diagram showing concretely the delay detector 180 illustrated by drawing 6. When drawing 7 is referred to, the delay detector 180 contains the detecting unit 188, the comparing unit 195, and the control unit 198. The detecting unit 188 detects the delay between input clock signal CLK_IN and output clock signal CLK_OUT. If the comparing unit 195 compares N detected delay and its detected delay of all the corresponds, it will be outputted to loading/unload clock control logic 150 by making the compared result into initial parameter Init_UNLD. On the other hand, if all the detected delay is not in agreement, the control unit 198 resets the clock generation machine 110 and the detecting unit 188. And after the state of the clock generation machine 110 was restored as for the control unit 198 (namely, after release (release) was carried out), The delay detected by N bit free running (Nbit freerunning) is compared until all the detected delay is in agreement.

[0017] The detecting unit 188 includes the counting circuit 181 and the delay detector 184. The counting circuit 181 contains the 1st D-flip-flop 182 and the 2nd D-flip-flop 183. Each flip-flop carries out toggling operation according to output clock signal CLK_OUT from a master circuit. On the other hand, the delay detector 184 contains the 3rd D-flip-flop 185, the 4th D-flip-flop 186, and R-S flip-flop 187. the -- the output of the 1D-flip-flop 182 -- the -- connecting with the input of the 3D-flip-flop 185 -- the -- the output of the 2D-flip-flop 183 -- the -- it connects with

the input of the 4D-flip-flop 186. The 3rd D-flip-flop 185 and the 4th D-flip-flop 186 detect delay in the counting circuit 181 according to input clock signal CLK_IN inputted from the result by which counting was carried out, and the slave circuit. Input clock signal CLK_IN is inputted into the 3rd D-flip-flop 185 and the 4th D-flip-flop 186 as a clock signal through R-S flip-flop 187.

[0018] The comparing unit 195 contains the latching circuit 192 and a comparator 193. [the latching circuit 192] [with N bit free running] MSB of each delay detected from the detecting unit 188 -- The demultiplexer (de-multiplexer) 191 for carrying out latching of (most significant bit) and LSB (least significant bit) and N latches are included. A comparator 193 is MBS of the delay from which each XOR gate was detected although it had the two XOR (exclusive-OR) gates and the one NOR gate. N pieces and LSB N pieces are respectively accepted through a demultiplexer 191. An XOR gate compares MSB and LSB of the result which the detected result is all the same or was detected, and outputs the compared result to the NOR gate. As for the NOR gate, the detected result all outputs a logic high level "1" as it is the same. In this case, MSB and LSB are outputted to loading/unload clock control logic 150 as initial parameter Init_UNLD. On the other hand, if the detected result all is not the same, the NOR gate will output a logic low "0." In this case, the control unit 198 distinguishes that the right delay was not detected, and resets the clock generation machine 110 and the detecting unit 188.

[0019] The control unit 198 contains the system clock control logic 196, and the N bit free running counter / decoder 197. N bit free running counter / decoder 197 is connected between the system clock control logic 196 and the latching circuit 192. [N bit free running counter / decoder 197] When the output of a comparator 193 is "0", it enables and N bit free running is carried out, and a demultiplexer 191 is controlled in order to supply the clock signal from the clock generation machine 110 to the latch of the latching circuit 192. The system clock control logic 196 is connected to a comparator 193, the detecting unit 188, the N bit free running counter / decoder 197, and the clock generation machine 110. If a comparator 193 outputs "0" to the system clock control logic 196, the system clock control logic 196 resets the clock generation machine 110 and the detecting unit 188. If the reset clock generation machine 110 returns to an all seems well, the system clock control logic 196 will transmit the clock signal from the clock generation machine 110 to N bit free running counter / decoder 197.

[0020] Drawing 8 is the timing chart showing operation of the delay detector 180 illustrated by drawing 7. If drawing 7 and drawing 8 are referred to, the 1st and 2nd D-flip-flop 182, 183 will carry out toggling operation according to output clock signal CLK_OUT. Wave F/F <1> is the toggle result of the 1st D-flip-flop 182, and wave F/F <0> is the toggle result of the 2nd D-flip-flop 183. The delay detector 184 detects the delay between output clock signal CLK_OUT and input clock signal CLK_IN according to toggle result F/F <1>, F/F <0>, and input clock signal CLK_IN. The detected delay is set to "11", if the maximum delay is larger than a 1-bit time and smaller than a 2-bit time, as illustrated by drawing 8. This is determined by F/F <0> and F/F

<1> as a result of [in the rise edge of input clock signal CLK_IN] carrying out a toggle. And if N detected delay all is not the same as mentioned above, the system clock control logic 196 will reset the clock generation machine 110 and the detecting unit 188 using a reset signal. If the reset clock generation machine 110 is released by the all seems well, the clock forwarding method will be repeated until the detected delay all becomes the same.

[0021] Drawing 9 is Drawings in which the initial parameter corresponding to the maximum delay detected by the delay detector 180 illustrated by drawing 7 is shown. If drawing 9 is referred to, initial parameter Init_UNLD will be determined by the detected maximum delay. If the maximum delay is larger than a 1-bit time and smaller than a 2-bit time as illustrated by drawing 8 and drawing 9, initial parameter Init_UNLD is determined as "11." Because, it is because $F < 1:0 >$ is "11" as a result of being latched at this time. And for example, if the maximum delay is smaller than 1, initial parameter Init_UNLD is determined as "01."

[0022] Drawing 10 is the circuit diagram showing the example of loading/unload clock control logic 150 illustrated by drawing 6. Moreover, drawing 11 is the timing chart showing operation of loading/unload clock control logic 150 illustrated by drawing 10. When drawing 10 is referred to, loading/unload clock control logic 150 contains the unloading control signal generating circuit 152 and the load control signal generating circuit 154. The unloading control signal generating circuit 152 accepts initial parameter Init_UNLD detected from clock signal CLK_OUT' controlled from the input-clock control logic 140, and the delay detector 180, and generates many unloading control signals UNLD. The initial value of the unloading control signal UNLD of the large number is set by initial parameter Init_UNLD. The initial value of the load control signal LD is set by "00" including two D-flip-flops for it to be similar with this and for the load control signal generating circuit 154 generate many load control signals LDs according to input clock signal CLK_IN from a slave circuit.

[0023] If drawing 11 is referred to and the initial value of the unloading control signal UNLD will be set by "11", the unloading control signal UNLD is repeatedly generated in order of "10", "00", "01", and "11" according to clock signal CLK_OUT'. However, the load control signal LD is always repeatedly generated in order of "01", "11", "10", and "00" according to input clock signal CLK_IN.

[0024] Drawing 12 is the circuit diagram showing the example of loading/unload multiplexer 160 illustrated by drawing 6. When drawing 12 is referred to, loading/unload multiplexer 160 includes the data loading circuit 161 and the data unloading circuit 166. The data loading circuit 161 contains the data loading multiplexer 163 of the data loading decoder 162 and a large number. The data unloading circuit 166 contains the data unloading multiplexer 168 of the data unloading decoder 167 and a large number. In this case, since the load control signal LD and the unloading control signal UNLD which are inputted are four at a time respectively, the data loading multiplexer 163 and the data unloading multiplexer 168 consist of four

multiplexers respectively.

[0025] Each data loading multiplexer 163 carries out loading of input data DATA_IN from a slave circuit according to the load control signal LD by which decoding was carried out.

Similarly each data unloading multiplexer 168 carries out unloading of input data DATA_IN by which loading was carried out according to the unloading control signal UNLD by which decoding was carried out to the internal data bus of a master circuit.

[0026] Drawing 13 is the timing chart showing operation of the clock forwarding circuit 100 illustrated by drawing 6. If drawing 12 and drawing 13 are referred to and the initial value of unload control signal UNLD will be set by "11", [unload control signal UNLD] According to output clock signal CLK_OUT, it is repetitively generated in order of "10", "00", "01", and "11." On the other hand, the load control signal LD is repetitively generated in order of "01", "11", "10", and "00" according to input clock signal CLK_IN. At this time, in order to load / unload input data DATA_IN, according to the load control signal LD and unload control signal UNLD, the turn-on of each multiplexer belonging to a multiplexer 163, 168 is carried out.

[0027] If the initial value of unload control signal UNLD is set by "11", it means this having the maximum delay larger than a 1-bit time, and being smaller than a 2-bit time. Therefore, in order that the clock forwarding circuit by this invention may not be influenced by delay and may stabilize the data transmission between two circuits, it carries out forwarding of the two clocks corresponding to the unloading control signal UNLDs "10" and "00" (that is, it transmits beforehand).

[0028] [so, after forwarding of a clock and each data loading multiplexer 163] If loading of input data DATA_IN is carried out according to "01", "11", "10", and the load control signal LD of "00" sequence The data unloading multiplexer 168 carries out unloading of "01", "11", "10", and input data DATA_IN by which loading was carried out according to the unloading control signal UNLD of "00" sequence. Therefore, [for example, input data DATA_IN by which loading was carried out with the load control signal LD "01"] With the unloading control signal UNLD "01", unloading is carried out to a master circuit, it is not influenced by delay and loading/unloading comes to carry out data.

[0029] As a result, the clock forwarding circuit by this invention is not influenced by the delay of an interface clock, but can carry out data transmission between circuits without an error.

[0030]

[Effect of the Invention] According to this invention, the delay between interface clocks is detected automatically as mentioned above. By carrying out forwarding of the clock which ****s in the detected delay, it is not influenced by the delay of an interface clock but data transmission between circuits can be carried out without an error. Furthermore, since according to the method of this invention delay was detected automatically and the initial parameter for carrying out forwarding of the clock was automatically set up according to the

detection While production unit prices are reducible as compared with the method of setting up the initial parameter by a mother board designer, generating of the data transmission error by product deflection can be prevented.

[Brief Description of the Drawings]

[Drawing 1] The block diagram showing roughly the composition of the digital-data-processing circuit equipped with the master circuit and the slave circuit.

[Drawing 2] The timing chart showing the input of a master circuit and the relation of an output clock signal which were illustrated by drawing 1.

[Drawing 3] The timing chart showing the input of a master circuit and the relation of an output clock signal which were illustrated by drawing 1.

[Drawing 4] The timing chart showing the input of a master circuit and the relation of an output clock signal which were illustrated by drawing 1.

[Drawing 5] The timing chart showing the input by the clock forwarding method of the master circuit illustrated by drawing 1, and the relation of an output clock signal.

[Drawing 6] The block diagram showing roughly the clock forwarding circuit used for the master circuit of the form of operation of the digital-data-processing circuit by this invention.

[Drawing 7] The circuit diagram showing the example of the delay detector illustrated by drawing 6.

[Drawing 8] The timing chart showing operation of the delay detector illustrated by drawing 7.

[Drawing 9] The figure showing the initial parameter corresponding to the maximum delay detected by the delay detector illustrated by drawing 7.

[Drawing 10] The circuit diagram showing concretely loading/unload clock control logic illustrated by drawing 6,

[Drawing 11] The timing chart showing operation of loading/unload clock control logic illustrated by drawing 10.

[Drawing 12] The circuit diagram showing the example of loading/unload multiplexer illustrated by drawing 6.

[Drawing 13] The timing chart showing operation of the clock forwarding circuit illustrated by drawing 6.

[Explanations of letters or numerals]

100 Clock Forwarding Circuit

110 Clock Generation Machine

120 Output Clock Control Logic

130 Internal Data Bus

140 Input-Clock Control Logic

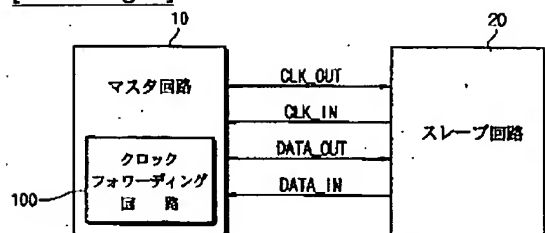
150 Loading/Unload Clock Control Logic

160 Loading/Unload Multiplexer

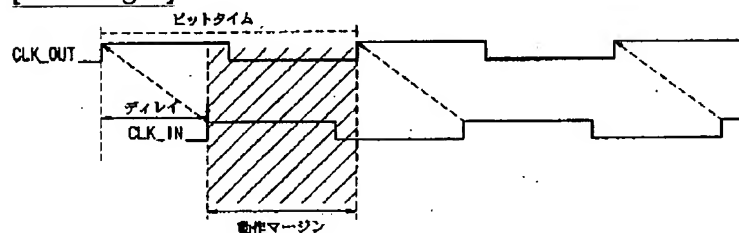
170 Data Control Logic

180 Delay Detector

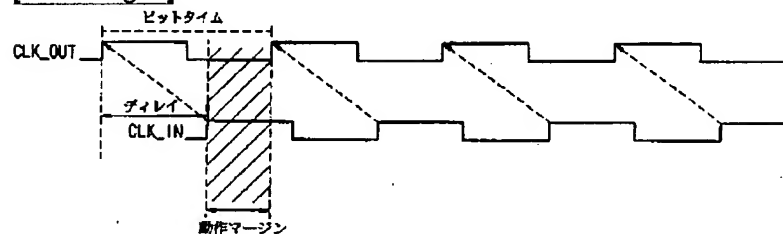
[Drawing 1]



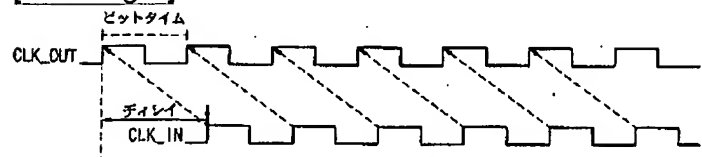
[Drawing 2]



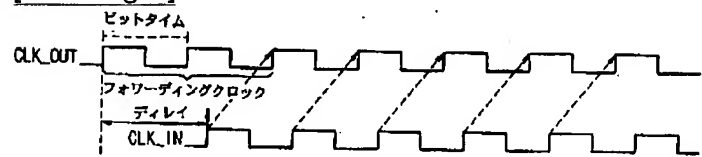
[Drawing 3]



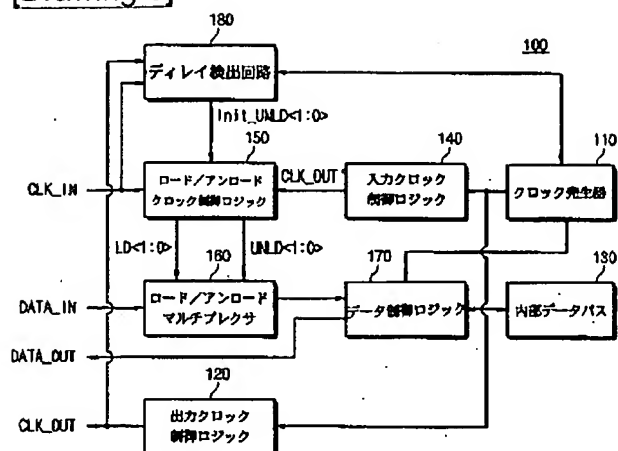
[Drawing 4]



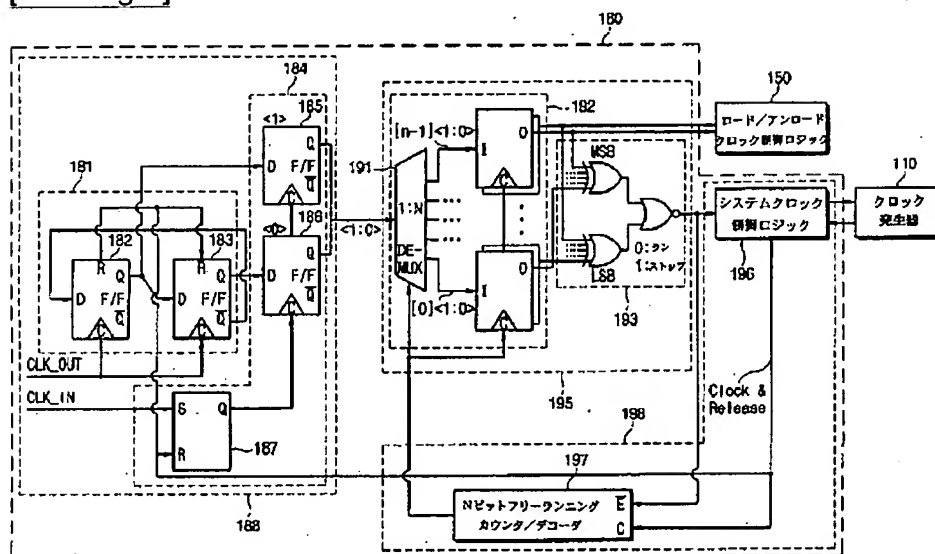
[Drawing 5]



[Drawing 6]



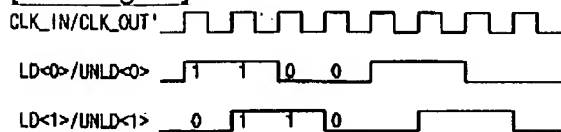
[Drawing 7]



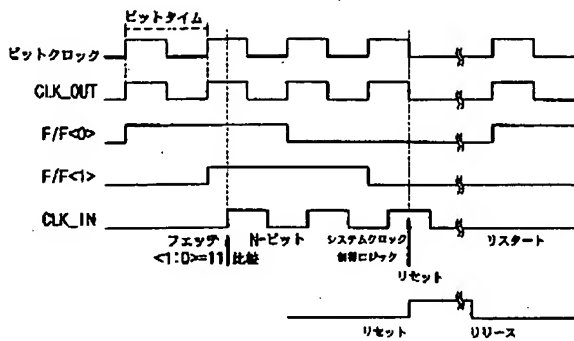
[Drawing 9]

最大ディレイ	Init_UNLD<1:0>
MD < 1 ビットタイム	01
1 < MD ≤ 2 ビットタイム	11
2 < MD ≤ 3 ビットタイム	10
3 < MD ≤ 4 ビットタイム	00

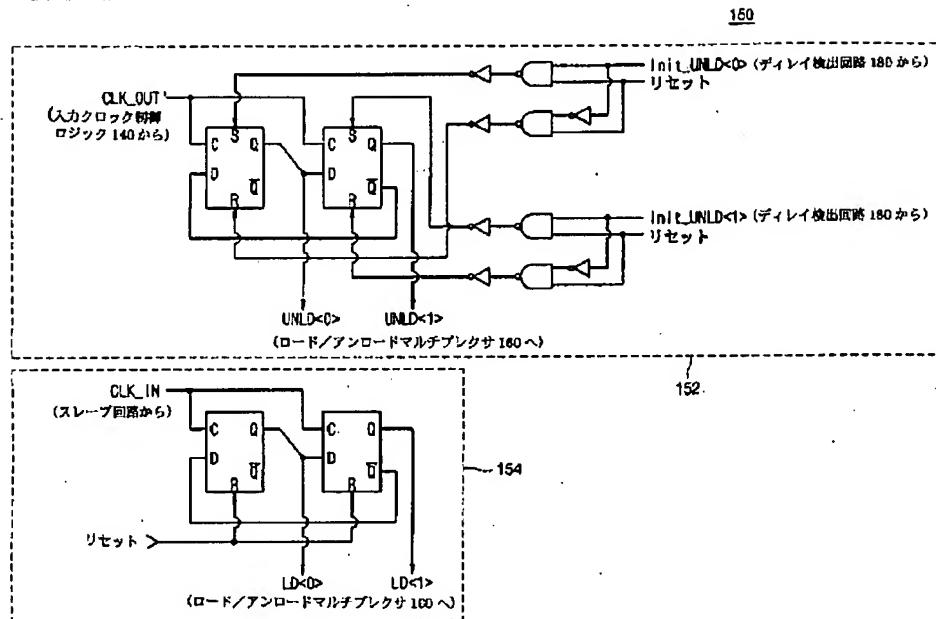
[Drawing 11]



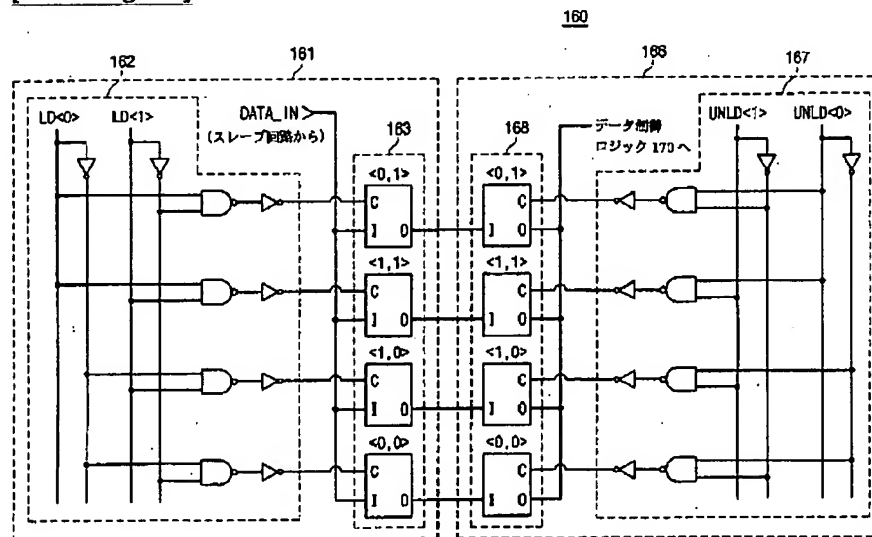
[Drawing 8]



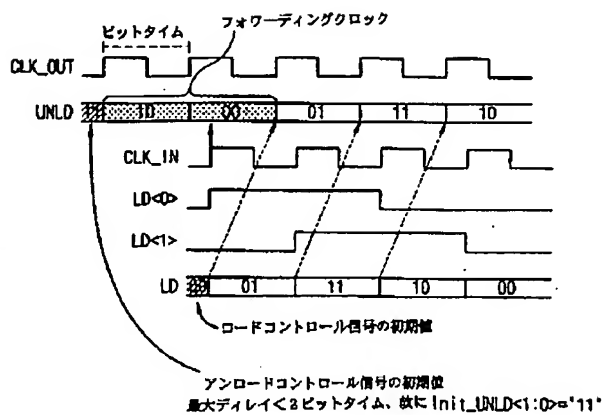
[Drawing 10]



[Drawing 12]



[Drawing 13]



[Translation done.]